

**Ошибки в микросхемах
K1986BE1T (маркировка 12134),
K1986BE1AT (маркировка 12144)**

Настоящий документ содержит описание всех ошибок, выявленных в микросхемах K1986BE1T, K1986BE1AT, на момент создания данной версии документа.

Статус документа

Настоящий документ является НЕКОНФИДЕНЦИАЛЬНЫМ.

Адрес в сети Интернет

<http://www.milandr.ru>

Обратная связь по продукту

Если у Вас есть какие-либо комментарии или предложения по данному продукту, свяжитесь с Вашим поставщиком, указав:

- название продукта;
- комментарии, либо краткое описание Ваших предложений;
- предпочтительный способ связи с Вами и контакты (организация, электронная почта, номер телефона).

Обратная связь по документу

Если у Вас есть какие-либо комментарии или предложения по данному документу, пожалуйста, пришлите их на электронную почту support@milandr.ru, указав:

- название документа;
- номер и/или дата документа;
- номер страницы;
- комментарии, либо краткое описание Ваших предложений;
- предпочтительный способ связи с Вами и контакты (организация, электронная почта, номер телефона).

Оглавление

Обзор.....	4
Категории ошибок	4
Сводная таблица ошибок	5
Ошибки категории 1	6
0011 Ошибка системного таймера	6
Ошибки категории 2.....	7
0014 Возникновение Hard Fault в режиме run time при отображении содержимого периферии.....	7
0031 Отсутствие записи в область данных контроллера Ethernet в режиме Stand Alone1 или Stand Alone3	8
Ошибки категории 3.....	9
0002 Невозможность выключить генератор HSI при нулевом ALRF.....	9
0007 Ошибка верификации запрограммированных данных	10
0010 Ошибка тактирования MAC-контроллера	11
0018 Чтение регистра RTC_PRL после сброса.....	12
0020 Ошибка формирования деления частоты CPU_C3, USB_C3, ADC_C3, HSI_C1 и HSE_C1	13
0032 Переполнение счетчика ошибок RX_ERR_CNT контроллера CAN.....	14
0033 Инверсия передаваемых данных в режиме 10Base-T HD/FD после сброса Ethernet PHY	15
0034 Пропуск канала АЦП при последовательном преобразовании нескольких каналов после выключения АЦП.....	17
0035 Остановка счета IWDG при отсутствии частоты PCLK в процессе перезагрузки значения таймера или обновления значения предделителя.....	18
0036 Пропуск секундного импульса при использовании калибровки RTC_CLK	19
Лист регистрации изменений	21

Обзор

Настоящий документ содержит описание ошибок в продукте с указанием категории критичности. Каждое описание содержит:

- уникальный идентификатор ошибки;
- текущий статус ошибки;
- где существует отклонение от спецификации и условия, при которых возникает ошибка;
- последствия возникновения ошибки в типичных применениях;
- ограничения, рекомендации и способы обхода ошибки, где это возможно.

Категории ошибок

Ошибки разделены на три категории критичности:

Категория 1.

Ошибочное поведение, которое невозможно обойти. Ошибки данной категории серьезно ограничивают использование продукта во всех или в большинстве приложений, что делает устройство непригодным для использования.

Категория 2.

Ошибочное поведение, которое противоречит требуемому поведению. Ошибки данной категории могут ограничивать или серьезно ухудшать целевое использование указанных функций, но не делают продукт непригодным для использования во всех или в большинстве приложений.

Категория 3.

Ошибочное поведение, которое не было изначально определено, но не вызывает проблем в приложениях при соблюдении рекомендаций.

Сводная таблица ошибок

В таблице указано, в каких версиях микросхем присутствует ошибка. Наличие ошибки обозначено символом “X”.

Версия микросхем определяется датой изготовления, указанной на крышке корпуса микросхемы в формате ГГНН, где ГГ – год изготовления, НН – неделя изготовления.

ID	Описание	Микросхемы, изготавливаемые с даты		
		2332		
Категория 1				
0011	Ошибка системного таймера	X		
Категория 2				
0014	Возникновение исключительной ситуации Hard Fault при динамическом обновлении окон Memory Window и Watch Window, содержащих значения памяти или регистров периферии в отладочном режиме запуска run time	X		
0031	Отсутствие записи в область данных контроллера Ethernet в режиме Stand Alone1 или Stand Alone3	X		
Категория 3				
0002	Невозможность выключить генератор HSI при нулевом ALRF	X		
0007	Ошибка верификации запрограммированных данных	X		
0010	Ошибка тактирования MAC контроллера	X		
0018	Чтение регистра RTC_PRL после сброса	X		
0020	Ошибка формирования деления частоты CPU_C3, USB_C3, ADC_C3, HSI_C1 и HSE_C1	X		
0032	Переполнение счетчика ошибок RX_ERR_CNT контроллера CAN	X		
0033	Инверсия передаваемых данных в режиме 10Base-T HD/FD после сброса Ethernet PHY	X		
0034	Пропуск канала АЦП при последовательном преобразовании нескольких каналов после выключения АЦП	X		
0035	Остановка счета IWDG при отсутствии частоты PCLK в процессе перезагрузки значения таймера или обновления значения предделителя	X		
0036	Пропуск секундного импульса при использовании калибровки RTC_CLK	X		

Ошибки категории 1

0011 Ошибка системного таймера

Статус

Будет исправлена только в случае замены ядра.

Описание

В случае работы на частотах больше 25 МГц с ненулевой задержкой Delay[2:0] в регистре EEPROM_CMD системный таймер останавливает счет во время чтения новых инструкций из флэш-ускорителя, что приводит к увеличению времени счета.

Условия

Значения разрядов Delay регистра EEPROM_CMD отличны от нуля.

Последствия

Увеличение времени счета системного таймера.

Рекомендации и способы обхода

При работе на больших частотах использовать таймеры периферии вместо системного таймера.

Ошибки категории 2

0014 Возникновение Hard Fault в режиме run time при отображении содержимого периферии

Статус

Исследование.

Описание

При отладке программы в режиме run time с одновременным динамическим обновлением окон Memory Window и Watch Window, содержащих значения памяти или регистров периферии возникает исключительная ситуация Hard Fault.

Условия

Выход отладочной системы на шину АНВ для чтения содержимого внешней периферии.

Последствия

Возникновение исключительной ситуации Hard Fault.

Рекомендации и способы обхода

При использовании среды Phytom никаких действий не требуется, недостаток учтен в среде разработки программ. При использовании других средств разработки (например, Keil) закрывать окна Watch и Memory, если они отображают содержимое внешней периферии, при запуске в run time.

0031 Отсутствие записи в область данных контроллера Ethernet в режиме Stand Alone1 или Stand Alone3

Статус

Исследование.

Описание

В режиме Stand Alone1 или Stand Alone3 запись данных управляющим устройством в буферную область памяти контроллера Ethernet может не происходить.

Условия

Режим работы микросхемы Stand Alone1 или Stand Alone3 с доступом к блоку контроллера Ethernet. Запись данных по интерфейсу SRAM в контроллер Ethernet.

Последствия

Потеря данных, подготовленных для передачи. Невозможность использовать контроллер Ethernet.

Рекомендации и способы обхода

Использовать контроллер Ethernet только в линейном режиме работы буферов. После каждой записи в буферную память выполнять верификацию записанных данных и, в случае неудачи, повторять процедуру записи. При программной инициализации режима Stand Alone1 или Stand Alone3, рекомендуется устанавливать частоту ядра HCLK = Ethernet MAC = 50 МГц, что позволяет снизить процент не записи данных с первого раза.

Ошибки категории 3

0002 Невозможность выключить генератор HSI при нулевом ALRF

Статус

Исследование.

Описание

Бит разрешения работы HSION регистра ВКР_REG_0F батарейного домена может быть сброшен в «0» только при взведенном в «1» флаге ALRF часов реального времени. При сбросе флага ALRF в «0» бит разрешения работы HSION устанавливается в «1», что приводит к включению генератора HSI.

Условия

Всегда.

Последствия

Невозможность отключить генератор, повышенное потребление.

Рекомендации и способы обхода

Для отключения генератора HSI необходимо убедиться, что микросхема тактируется другим источником синхросигнала, взвести бит ALRF и после этого сбросить бит HSION.

0007 Ошибка верификации запрограммированных данных

Статус

Исследование.

Описание

После изменения данных во Flash-памяти верификация записанных данных может завершаться с ошибкой, так как считанные данные могут содержать старые данные, сохраненные в буфере Flash-ускорителя.

Условия

Если инструкция чтения LDR не выровнена на 4, то обновление буфера Flash-ускорителя не происходит.

Последствия

Не происходит обновление буфера Flash-ускорителя, что может приводить к чтению старых данных.

Рекомендации и способы обхода

Для обновления буфера Flash-ускорителя необходимо выполнить 5 чтений Flash-памяти с декрементом адреса по 0x10, при этом инструкция чтения LDR должна быть выровнена на 4. После этого инструкция чтения LDR в процедуре верификации не обязательно должна быть выровнена на 4, так как буфер Flash-ускорителя уже обновлен. Функция обновления буфера Flash-ускорителя приведена в библиотеке SPL.

0010 Ошибка тактирования МАС-контроллера

Статус

Исследование.

Описание

При тактировании МАС-контроллера частотой меньшей, чем частота ядра, возникают сбои при записи в регистры и память данных МАС-контроллера.

Условия

Всегда.

Последствия

Регистр или память не принимают нужного значения после записи.

Рекомендации и способы обхода

Тактировать МАС-контроллер частотой равной частоте ядра, не задавая делителей.

0018 Чтение регистра RTC_PRL после сброса

Статус

Исследование.

Описание

После сброса в регистре RTC_PRL всегда считываются нули, независимо от ранее записанного в него значения. Реально регистр сбрасывается только при исчезновении питания батарейного домена BUсс.

Условия

Всегда.

Последствия

Не выявлено.

Рекомендации и способы обхода

Учитывать при разработке ПО.

0020 Ошибка формирования деления частоты CPU_C3, USB_C3, ADC_C3, HSI_C1 и HSE_C1

Статус

Исследование.

Описание

Изменение дополнительного коэффициента деления при формировании частоты CPU_C3 (поле CPU_C3_SEL), частоты USB_C3 (поле USB_C3_SEL), частоты ADC_C3 (поле ADC_C3_SEL), частоты HSI_C1 (поле HSI_C1_SEL) и частоты HSE_C1 (поле HSE_C1_SEL) возможно осуществлять только в большую сторону. Уменьшение коэффициента деления приводит к прекращению формирования тактового сигнала. Сброс настройки возможен только через сигнал сброса всей микросхемы.

Условия

Уменьшение коэффициента деления.

Последствия

Делитель не формирует выходной тактовый сигнал.

Рекомендации и способы обхода

Учитывать при разработке ПО.

Возможно уменьшение коэффициента деления путем его последовательного изменения с шагом 1 и с временным интервалом не менее T (где T – это длительность двух периодов выходной частоты делителя до изменения коэффициента деления).

0032 Переполнение счетчика ошибок RX_ERR_CNT контроллера CAN

Статус

Будет исправлено в следующей версии продукта.

Описание

В случае, если контроллер CAN постоянно обнаруживает ошибки при приеме данных, то счетчик ошибок приема RX_ERR_CNT будет инкрементироваться до верхнего предела (0x1FF), после чего он должен остановиться. Однако, этого не происходит – счетчик после приема очередного кадра с ошибкой переполняется и сбрасывается в 0x000. Из-за этого контроллер CAN, ранее находившийся в пассивном к ошибкам состоянии ERROR PASSIVE (RX_ERR_CNT > 127), ошибочно переходит в активное к ошибкам состояние ERROR ACTIVE и при обнаружении ошибок начинает посылать кадры активной ошибки. Данное поведение не соответствует стандарту, потому что для перехода в активное к ошибкам состояние ERROR ACTIVE контроллеру CAN необходимо успешно принять кадр.

Условия и причина

При постоянном приеме кадров с ошибкой.

Последствия

Ошибочный переход контроллера CAN в активное к ошибкам состояние.

Рекомендации и способы обхода

Учитывать при разработке аппаратуры.

0033 Инверсия передаваемых данных в режиме 10Base-T HD/FD после сброса Ethernet PHY

Статус

Исследование.

Описание

После снятия сигнала аппаратного сброса nRST с блока Ethernet PHY (переключение бита nRST из «0» в «1» в регистре PHY_Control) блок передатчика 10Base-T может с небольшой вероятностью (0,5% – 1%) перейти в состояние, в котором все данные, поступающие для передачи от контроллера уровня MAC, будут инвертированы. Импульсы NLP (Normal Link Pulse) при этом не инвертируются, поэтому внешнее принимающее устройство не может автоматически скорректировать полярность принимаемого сигнала.

Инвертирование данных может проявляться в следующих режимах работы блока PHY (регистр PHY_Control, поле MODE[2:0]): 10Base-T HD (000), 10Base-T FD (001) и полностью автоматический режим (111), если после автосогласования будет установлена скорость обмена данными 10 Мбит/с, режим работы HD или FD.

Условия и причина

Снятие сигнала аппаратного сброса nRST с блока Ethernet PHY.

Последствия

Переход блока передатчика 10Base-T в состояние, в котором все данные, поступающие для передачи от контроллера уровня MAC, инвертируются.

Рекомендации и способы обхода

Если предполагается работа со скоростью обмена данными 10 Мбит/с (PHY_Control.MODE[2:0] = 000, 001 или 111), то после снятия сигнала аппаратного сброса nRST с блока Ethernet PHY необходимо проверить, инвертируются ли передаваемые данные, и при необходимости выполнить повторный сброс Ethernet PHY с помощью бита nRST в регистре PHY_Control. Для проверки передаваемых данных можно воспользоваться тестовым режимом КЗ блока PHY (в данном режиме передаваемые данные возвращаются обратно блоку MAC, на линию данные не передаются).

Алгоритм обхода:

- 1 в регистре PHY_Control установить требуемый режим работы PHY в поле MODE[2:0] и установить бит nRST = 0;
- 2 выдержать паузу не менее 100 мкс, после чего установить бит nRST = 1;
- 3 выдержать паузу не менее 16 мс для выхода блока PHY в рабочий режим, после чего дождаться установки бита READY в «1» в регистре PHY_Status;
- 4 по интерфейсу MDIO считать регистр управления (0) и сохранить полученное значение;
- 5 выполнить программный сброс PHY (уменьшает вероятность перехода передатчика 10Base-T в ошибочное состояние): в считанном значении (п. 4) установить в «1» бит 15 Reset, после чего записать модифицированное значение в регистр управления (0). Дождаться, когда бит 15 Reset в регистре управления (0) аппаратно сбросится в «0»;
- 6 перевести блок PHY в режим 10Base-T FD и установить режим КЗ: по интерфейсу MDIO записать в регистр управления (0) значение 0x4100;

- 7 выполнить инициализацию блока Ethernet MAC, дополнительно установив в регистре R_CFG биты AC_EN, EF_EN и SF_EN;
- 8 выполнить отправку двух пакетов размером 60 байт с тестовыми данными: первые шесть байт – 0xFF, остальные данные – 0xAA55AA55;
- 9 дождаться получения одного пакета, после чего по полю состояния приема пакета выполнить проверку:
 - а пакет принят с ошибкой CRC или SF (инвертированный пакет) – перейти к п. 1;
 - б пакет принят успешно – перейти к п. 10.
- 10 выполнить деинициализацию блока Ethernet MAC;
- 11 восстановить значение в регистре управления (0), сохраненное в п. 4;
- 12 блок PHY готов к работе.

Время выполнения одного цикла алгоритма обхода составляет порядка 17 мс:

- 100 мкс (аппаратный сброс PHY) + 16 мс (выход PHY в рабочий режим) +
- 300 мкс (программный сброс PHY) + 140 мкс (передача двух пакетов) +
- 20 мкс (исполнение кода при -O0, ~2700 тактов при частоте CPU_CLK = 140 МГц) +
- 104 мкс (обращения к PHY по MDIO при частоте MDC = 2,5 МГц).

Алгоритм обхода приведен в библиотеке SPL MDR32Fх, начиная с вер. 2.1.0, файл MDR32F9Qx_eth.c, функция ETH_CheckMode10BaseT().

0034 Пропуск канала АЦП при последовательном преобразовании нескольких каналов после выключения АЦП

Статус

Проводятся исследования.

Описание

В режиме последовательного преобразования нескольких каналов в результате отключения АЦП (бит Gfg_REG_ADON) при последующем включении АЦП однократно пропускается канал, на котором остановилось преобразование при отключении. Происходит преобразование следующего канала, участвующего в последовательном преобразовании.

Условия

Включение АЦП после отключения АЦП при последовательном преобразовании нескольких каналов.

Последствия

Пропуск преобразования канала АЦП, на котором остановилось преобразование при отключении.

Рекомендации и способы обхода

После отключения АЦП при использовании последовательного преобразования нескольких каналов:

- 1 Отключить переключение каналов (бит Cfg_REG_CHCH).
- 2 Включить переключение каналов только для канала, на котором остановилось преобразование при отключении, и участвующих в преобразовании каналов с большими номерами (регистр ADC1_CHSEL).

После включения АЦП:

- 1 Включить переключение для всех требуемых каналов.

0035 Остановка счета IWDG при отсутствии частоты PCLK в процессе перезагрузки значения таймера или обновления значения предделителя

Статус

Исследование.

Описание

В процессе работы IWDG остановка частоты PCLK блока IWDG после вызова запроса перезагрузки значения таймера через регистр IWDG_KEY (записью значения 0хАААА) и перед фактическим обновлением значения таймера или после вызова запроса обновления предделителя (запись в регистр IWDG_PR) и перед фактическим обновлением значение предделителя блокирует сигнал запроса на обновление значения таймера в активном состоянии. В результате чего до повторного появления частоты PCLK или любого сброса сторожевой таймер IWDG не осуществляет счет и не формирует сброс. Так как в случае запроса перезагрузки IWDG непрерывно перезагружается значением перезагрузки, а в случае запроса обновления предделителя – непрерывно осуществляет обновление предделителя. После появления частоты PCLK и фактического обновления соответствующих значений или после любого сброса IWDG восстанавливает процесс счета.

Условия

Остановка частоты PCLK блока IWDG:

- 1) После вызова запроса перезагрузки значения таймера через регистр IWDG_KEY (записью значения 0хАААА) и перед фактическим обновлением значения таймера в процессе работы IWDG.
- 2) После вызова запроса обновления предделителя таймера через регистр IWDG_PR и перед фактическим обновлением предделителя в процессе работы IWDG.

Последствия

Отсутствие счета таймера IWDG и формирования им сброса до появления частоты PCLK или любого сброса.

Рекомендации и способы обхода

Реализовать в разрабатываемой системе один или несколько из предложенных способов:

- 1) Перед вызовом запроса перезагрузки значения таймера и на время сброса флага RVU, а также перед вызовом запроса обновления предделителя и на время сброса флага PVU, переводить тактирование PCLK (соответствует частоте HCLK) на частоту, которая гарантируется в разрабатываемой системе – например, LSI (поскольку наличие частоты LSI обязательно для работы IWDG, в случае её отсутствия IWDG не сбросит систему при любых обстоятельствах).
- 2) Использовать внешний сторожевой таймер.

0036 Пропуск секундного импульса при использовании калибровки RTC_CLK

Статус

Исследование.

Описание

В блоке RTC для формирования частоты SEC_CLK из частоты RTC_CLK используется делитель, выполненный на счетчике RTC_DIV с основанием счета RTC_PRL. Для калибровки (замедления) RTC_CLK используется счетчик RTC_20, который на время $RTC_20 < RTC_CAL$ останавливает счет RTC_DIV.

Во время работы RTC с калибровкой частоты RTC_CLK (поле $RTC_CAL[7:0] \neq 0$ в регистре REG_0F) при определенных значениях RTC_CAL и RTC_PRL периодически происходит одновременное выполнение событий $RTC_DIV == RTC_PRL$ и $RTC_20 == 0$, которое приводит к ошибочному сбросу счетчика RTC_DIV и пропуску импульса SEC_CLK.

При пропуске импульса SEC_CLK основной счетчик RTC_CNT не изменяется и начинает отставать на 1 секунду, при этом флаги SECF, ALRF и OWF в регистре RTC_CS продолжают формироваться без пропусков.

Условия

Установлена калибровка частоты RTC_CLK (поле $RTC_CAL[7:0] \neq 0$) и заданы определенные значения RTC_CAL и RTC_PRL, при которых периодически происходит одновременное выполнение событий $RTC_DIV == RTC_PRL$ и $RTC_20 == 0$.

Последствия

Счетчик RTC_DIV ошибочно сбрасывается, импульс SEC_CLK не формируется. При пропуске импульса SEC_CLK основной счетчик RTC_CNT не изменяется и начинает отставать на 1 секунду, при этом флаги SECF, ALRF и OWF в регистре RTC_CS продолжают формироваться без пропусков.

Рекомендации и способы обхода

Для калибровки частоты RTC_CLK использовать только ограниченный набор значений RTC_CAL, полученный с помощью скрипта¹ для заданного значения RTC_PRL. Перед настройкой блок RTC должен быть выключен и сброшен, при настройке регистр RTC_DIV не должен изменяться. После настройки и включения RTC значения $RTC_CAL[7:0]$, RTC_DIV и RTC_PRL не должны перезаписываться. В этом случае ошибка проявляться не будет.

Пример инициализации RTC:

- включить источник тактирования RTC и выбрать его в $RTC_SEL[1:0]$ регистра REG_0F;
- выключить RTC путем сброса бита RTC_EN в регистре REG_0F;
- выдержать паузу не менее 1 периода RTC_CLK для ожидания сброса бита RTC_EN;
- выполнить сброс RTC путем последовательной установки и сброса бита RTC_RESET в регистре REG_0F;
- записать требуемое значение в регистр RTC_PRL;
- дождаться окончания записи с помощью бита WEC в регистре RTC_CS;
- записать допустимое значение в поле $RTC_CAL[7:0]$ регистра REG_0F;

¹ https://support.milandr.ru/upload/iblock/285/9bliqywbkpficopft5dctv327ycqh9s/bkp_rtc_cal.py

- выполнить другие настройки RTC;
- включить RTC путем установки бита RTC_EN в регистре REG_0F.

